

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-299341

(43)Date of publication of application : 11.10.2002

(51)Int.Cl. H01L 21/3205  
C23C 18/32  
H01L 21/288  
H01L 21/60  
H01L 23/12  
H05K 3/18

(21)Application number : 2001-097545 (71)Applicant : SEIKO EPSON CORP  
(22)Date of filing : 29.03.2001 (72)Inventor : MATSUI KUNIYASU

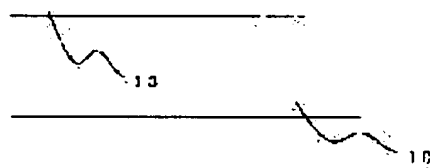
(54) METHOD OF FORMING WIRING PATTERN, SEMICONDUCTOR DEVICE, METHOD OF  
MANUFACTURING THE SAME, CIRCUIT SUBSTRATE, AND ELECTRONIC APPARATUS

## (57)Abstract:

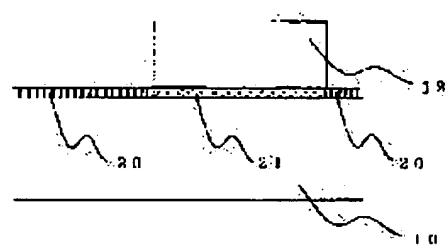
PROBLEM TO BE SOLVED: To easily form a pattern for rearranging connection electrodes for mounting, while forming wiring between there and respective terminals on a semiconductor chip, and to form low-cost connection wiring with a satisfactory throwing power, even if the wiring pattern is fine, in a step of forming wiring between the connection electrodes and the terminals.

SOLUTION: This method of forming the wiring pattern comprises (1) a step of forming photoresist on regions, from which the wiring-pattern forming regions are excluded on a substrate, (2) a step of depositing a catalyzer on the resist as well as on the wiring-pattern forming regions, (3) a step of removing the resist, and (4) a step of carrying out electroless plating on the wiring pattern, where nickel is used for the electroless plating for forming the wiring pattern, and the quantity of a stabilizer contained in the electroless nickel-plating bath is 1 ml/L or lower in the quantity of the plating solution.

(A)



(B)



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-299341  
(P2002-299341A)

(43) 公開日 平成14年10月11日 (2002. 10. 11)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームコード <sup>*</sup> (参考)
H 0 1 L 21/3205		C 2 3 C 18/32	4 K 0 2 2
C 2 3 C 18/32		H 0 1 L 21/288	N 4 M 1 0 4
H 0 1 L 21/288		23/12	5 0 1 P 5 E 3 4 3
21/60		H 0 5 K 3/18	F 5 F 0 3 3
23/12	5 0 1	H 0 1 L 21/88	T
審査請求 未請求 請求項の数 9 O L (全 9 頁) 最終頁に続く			

(21) 出願番号 特願2001-97545 (P2001-97545)

(22) 出願日 平成13年3月29日 (2001. 3. 29)

(71) 出願人 000002369

セイコーエプソン株式会社  
東京都新宿区西新宿2丁目4番1号

(72) 発明者 松井 邦容

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100095728

弁理士 上柳 雅彦 (外1名)

最終頁に続く

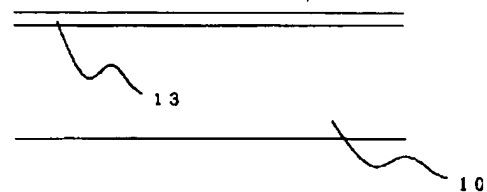
(54) 【発明の名称】 配線パターンの形成方法、半導体装置及びその製造方法、回路基板並びに電子機器

(57) 【要約】

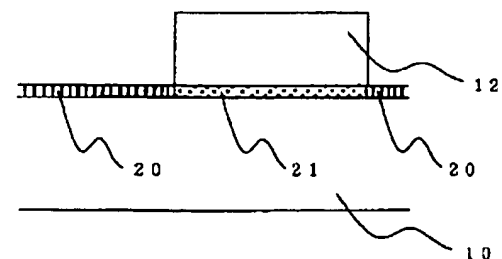
【課題】 実装を行うための接続用電極と端子間の配線を形成する工程で、半導体チップ上に接続用電極を再配置配線するためのパターン形成を容易に行い、かつ低コストの接続用配線を、微細な配線パターンにもつきまわりよく形成する。

【解決手段】 ①基板上に配線パターンの形成領域を避けた領域にフォトリソストを形成する工程。②前記レジスト及び配線パターンの形成領域に触媒を形成する工程。③レジストを剥離する工程。④配線パターンに無電解メッキを行う工程。において、配線パターンの形成に用いる無電解メッキとして、ニッケルを用い、無電解ニッケルメッキ浴に含まれる安定剤の量をメッキ液量に対し、1 ml/L以下とする。

(A)



(B)



(2)

1

## 【特許請求の範囲】

【請求項1】 触媒を配線パターンの形成領域で露出させて設ける第1工程と、前記触媒の露出領域に導電材料を析出させる無電解ニッケルメッキを行い、前記導電材料で前記配線パターンを形成する第2工程を含む配線パターンの形成方法において、該無電解ニッケルメッキに使用する無電解ニッケルメッキ薬液中の添加剤のうち、安定剤の量をメッキ液量に対し1ml/L以下に調整して使用することを特徴とする、配線パターンの形成方法。

【請求項2】 請求項1記載の配線パターンの形成方法において、前記安定剤がチオシアンイオンであることを特徴とする、配線パターンの形成方法。

【請求項3】 請求項1及び2記載の配線パターンの形成方法において、前記第1工程は、レジストを、前記配線パターンの形成領域を避けた領域に設ける工程と、前記触媒を、前記レジスト上及び前記配線パターンの形成領域上に設ける工程と、前記レジストを剥離して、前記触媒の露出領域を前記配線パターンの形成領域に対応させる工程と、を含む配線パターンの形成方法。

【請求項4】 請求項1及び2記載の配線パターンの形成方法において、前記第1工程は、前記触媒を全面に設ける工程と、レジストを、前記配線パターンの形成領域を避けた領域に設ける工程と、を含む配線パターンの形成方法。

【請求項5】 請求項1から請求項4のいずれかに記載の配線パターンの形成方法を含み、複数の電極と、それぞれの電極の一部を露出した開口部が形成された絶縁層と、を有する半導体チップの前記絶縁層上で前記配線パターンを形成する半導体装置の製造方法。

【請求項6】 請求項5記載の半導体装置の製造方法において、前記導電材料はニッケル上に銅を積層する半導体装置の製造方法。

【請求項7】 請求項5または請求項6のいずれかに記載の半導体装置の製造方法で製造されてなる半導体装置。

【請求項8】 請求項7記載の半導体装置を搭載した回路基板。

【請求項9】 請求項7記載の半導体装置を有する電子機器。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、配線パターンの形成方法、半導体装置及びその製造方法、回路基板並びに電子機器に関する。

## 【0002】

【発明の背景】半導体装置の高密度化を追求すると、ベ

2

アチップ実装が理想的である。しかしながら、ベアチップは、品質保証及び取り扱いが難しい。そこで、CSP (ChipScale/Size Package) が適用された半導体装置が開発されている。CSPについての正式な定義はないが、一般にパッケージサイズがICチップと同じか、ICチップよりわずかに大きいICパッケージと解されている。CSPは、半導体チップの電極に電氣的に接続される再配線を有する。

【0003】従来、再配線は、スパッタなどによって全面的に設けられた金属箔をエッチングすることによって形成されていた。あるいは全面的に設けられた金属箔上において選択的に電気メッキを行い、その後に金属箔をエッチングすることで形成されていた。しかしながら、金属箔のエッチング工程は煩雑であり、同工程によって金属の廃液が生ずる場合があった。また、スパッタなどの装置を使用すると装置コストが上昇し、またパッチ処理が不可能なため短時間で大量の処理をするのは困難であった。

【0004】本発明は、この問題点を解決するためのものであり、その目的は、全面薄膜形成工程（スパッタ）及びエッチング工程を用いずに再配線を形成する配線パターンの形成方法、半導体装置及びその製造方法、回路基板並びに電子機器を提供することにある。

## 【0005】

【課題を解決するための手段】本発明に係る配線パターンの形成方法は、触媒を配線パターンの形成領域で露出させて設ける第1工程と、前記触媒の露出領域に導電材料を析出させる無電解ニッケルメッキを行い、前記導電材料で前記配線パターンを形成する第2工程を含み、前記無電解ニッケルメッキに使用する無電解ニッケルメッキ薬液中の添加剤のうち、安定剤の量をメッキ液量に対し1ml/L以下に調整して使用することを特徴とする。

【0006】本発明によれば、配線パターンの形成領域のみに導電材料を設けることができる。すなわち、全面的に導電材料を形成する必要がなく、導電材料のエッチング工程を削除することができる。これによって、全面的に導電材料を設けることによって発生する応力を防ぐことができ、エッチングの工程で生ずる廃液の処理も必要なくなる。したがって、信頼性を落とすことなく、より簡単な工程で配線パターンを形成することができる。さらに本発明における優位な点は、極めて微細な配線形状であっても、非常につきまわりの良い配線を形成することができることにある。一般的に無電解メッキ液中に含まれる安定剤の量は、多すぎるとメッキが析出しにくくなり、少なすぎるとメッキ液が不安定になるため、最適な量が決められて調整されているが、この量は各メッキ液メーカーのノウハウとなっており明かされないことが多い。我々は鋭意研究の結果、添加剤のうちの安定剤の量を、メッキ液量に対し1ml/L以下の量にした場

(3)

3

合、メッキ液の安定性は犠牲になるが、本発明のプロセスにおいては、極めて微細な配線パターンであっても、非常につきまわりよくメッキが析出することを見出した。

【0007】この配線パターンの形成方法において、前記安定剤がチオシアンイオンであることを特徴とする。

【0008】これによれば、前述のつきまわり性が安定剤にチオシアンイオンを用いるニッケルメッキ液で前述の条件において良好になることが顕著であるが、それ以外の安定剤でも同様の傾向が認められる。

【0009】(3) この配線パターンの形成方法において、前記第1工程は、レジストを、前記配線パターンの形成領域を避けた領域に設ける工程と、前記触媒を、前記レジスト上及び前記配線パターンの形成領域上に設ける工程と、前記レジストを剥離して、前記触媒の形成領域を前記配線パターンの形成領域に対応させる工程と、を含んでもよい。

【0010】これによれば、導電材料を設けるために必要な触媒をレジストを用いて選択的に形成することができる。すなわち、配線パターンの形成領域を避けてレジストを形成し、全面に触媒を設けた後にレジストを剥離する。これによって、エッチング工程を行うことなく配線パターンの形成領域のみに導電材料を形成することが可能になる。

【0011】(4) この配線パターンの形成方法において、前記第1工程は、前記触媒を設ける工程と、レジストを、前記配線パターンの形成領域を避けた領域に設ける工程と、を含んでもよい。

【0012】これによれば、例えば触媒を設けた後にレジストを設けて、触媒を配線パターンの形成領域に露出させてもよい。

【0013】(5) 本発明に係る半導体装置の製造方法は、複数の電極と、それぞれの電極の一部を露出した開口部が形成された絶縁層と、を有する半導体チップの前記絶縁層上で前記配線パターンを形成する。

【0014】(6) この半導体装置の製造方法において、前記導電材料はニッケル上に銅を積層する構造であってもよい。

【0015】これによって、配線としての導電性を向上させることができる。

【0016】(7) 本発明に係る半導体装置は、上記方法によって製造される。

【0017】(8) 本発明に係る回路基板には、上記半導体装置が搭載されている。

【0018】(9) 本発明に係る電子機器は、上記半導体装置を備える。

【発明の実施の形態】以下、本発明の好適な実施の形態について図面を参照して説明する。

【0019】本発明は、フェースダウン型の半導体装置の一形態であるCSP (Chip Size/Scale Package)

4

に適用することができる。以下に示す実施の形態は、半導体チップ上における配線パターンの形成方法を含む半導体装置の製造方法である。しかしながら、本発明はこれに限定するものではなく、導電材料による配線パターンを形成する方法として適用が可能である。

【0020】図1 (A) ~図3 (B) および図4は本第1および第2の実施の形態に係る配線パターンの形成方法を示す図である。

(第1の実施の形態)

10 【0021】図1 (A) は、基板10上に、配線パターンの形成領域を避けた領域にフォトリソ12を形成する。なお、レジストはポジタイプでもネガタイプでも良いが、剥離現象のし易さから本実施例ではポジレジストを用いた。

【0022】図1 (B) は、前記レジストおよび前記配線パターン形成領域上に触媒13を形成する。触媒13はパラジウムである。触媒13の形成方法として、例えば基板10をパラジウムとスズを含む混合溶液に浸し、その後、塩酸などの酸で処理することによってパラジウムのみを形成できる。

20 【0023】図2は、前記レジスト12を剥離した状態を示している。領域21は配線パターンの形成領域であり、表面に触媒13が形成されている。また、領域20は、レジストによりカバーされていたために、触媒13が形成されなかった領域を示している。

【0024】この状態で、無電解メッキ液に浸漬することにより、触媒となるパラジウムを核として、メッキが成長し、配線パターン14が形成できる。本実施例において、無電解メッキとして無電解ニッケル-リンメッキを行った。無電解ニッケルリンメッキ液として、leybold社製無電解Ni-Pメッキ液SLOTONIPを用いた。本ニッケルメッキ液の添加剤成分として、メーカーが設定している安定剤添加量の使用範囲は1~3ml/Lであるが、本実施例においては0.5ml/Lとした。その他の建浴量はメーカー推奨条件に従った。浴温度は90℃において、5分浸漬し約1μm成膜した。

【0025】(第2の実施の形態) 第1の実施の形態において、図1 (A) の、基板10上にレジスト12を形成する前に、基板10の全面に触媒13を形成し (図4 (A))、その後、配線パターンの形成領域を避けた領域にフォトリソ12を形成する (図4 (B))。そののち、以下に示す手順を用いても、第1の実施の形態と同様の配線パターンが形成できる。

【0026】図4 (B) の状態で、第1の実施例と同様の無電解メッキ液に浸漬することにより、レジスト12でカバーされているために領域20にはメッキが成長せず、それ以外の領域21には、触媒となるパラジウムを核として、メッキが成長し、配線パターン14が形成できる。その後、レジスト12を剥離すれば、図3 (B) と同じ形状の配線パターン14が領域21上にのみ形成

50

(4)

5

できる。

【0027】図5(A)～図8は本第3の実施の形態に係る半導体装置の製造方法を示す図である。

(第3の実施の形態)

【0028】半導体チップ30は、1つ又は複数の電極(又はパッド)32を有する。電極32は、半導体チップ30の端部に並んでいても、半導体チップ30の中央部に並んでいても良い。また、電極32は、半導体チップの30が矩形をなすときに平行な2辺の端部に沿って並んでいても、4辺の端部に並んでいても良い。各電極32は、半導体チップ30に薄く平らに形成されていることが多いが、側面又は縦断面の形状は限定されず、半導体チップ30の面と面一になってもよい。電極32は例えばアルミニウムなどで形成される。また、電極32の平面形状も特に限定されず、円形であっても矩形であってもよい。電極32の一部を避けて半導体チップ30には、パッシベーション膜31が形成されていることが多い。パッシベーション膜31は絶縁層である。パッシベーション膜31は、例えば、 $\text{SiO}_2$ 、 $\text{SiN}$ 、ポリイミド樹脂などで形成することができる。

【0029】半導体チップ30における電極32を有する面には絶縁層33が設けられている。絶縁層33は、配線材料14に対して絶縁性を有する。また、絶縁層33は、半導体チップ30を保護し、実装時のハンダを溶解するときの耐熱性も有することが好ましい。絶縁層33は、半導体装置が回路基板に実装されたときに、半導体チップと、実装される回路基板との熱膨張係数の差によって生じる応力を緩和できる程度にヤング率が低いことが好ましい。そのためには、絶縁層33を、例えばポリイミド樹脂で形成してもよい。また、絶縁層33の厚さは必要に応じて自由に決めることができる。

【0030】絶縁層33は、半導体チップ30のそれぞれの電極32の少なくとも一部を露呈する少なくとも一つの開口部を有する。したがって、開口部は電極32の上に形成され、電極32の総数に応じて形成される。図5(A)～図8にあるように開口部はテーパーを有してもよく、半導体チップ30に対して垂直に開口部が形成されていてもよい。

【0031】図5(A)は、上述の半導体チップ30の電極32付近を拡大して示した図であり、同図の開口部に図5(B)に示すように導電層34、35を設ける。

【0032】本実施の形態では電極32はアルミニウムからなり、アルミニウムは強アルカリ性の溶液に溶けやすいという性質がある。したがって、後に示す配線材料(配線パターン)14(図8)の形成工程(第2工程)のときに、例えば強アルカリ性の溶液である銅メッキ液に半導体チップ30を浸した場合に、電極32を保護するために導電層34、35を形成してもよい。また、導電層34、35を形成することによって開口部内が埋められ、開口部の段差を配線材料14で一体的な平面状で

6

形成することができるので、より確実に配線パターン14と電極32とを電氣的に接続することができる。導電層34、35は少なくとも一層からなってもよい。本実施の形態では、導電層はニッケル(導電層34)と金(導電層35)との二層からなる。導電層34、35は開口部を埋めて形成されるが、導電層34、35の表面の高さは開口部より高くても低くても別に構わない。

【0033】導電層34であるニッケルの形成方法として、電極32上にジンケート処理を施してアルミニウム上の表面を亜鉛に置換し、その後に無電解ニッケルメッキ液中に浸し、亜鉛上にニッケルを堆積してもよい。もしくは、アルミニウムをパラジウム溶液に浸し、その後無電解ニッケルメッキ液中に浸し、パラジウムを核としてニッケルを析出させてもよい。導電層34、35をニッケルのみで形成してもよいが、本実施の形態に示すように、さらに無電解金メッキ液中に浸し、ニッケルの表面にさらに金を形成してもよい。金を形成することで配線材料14との電氣的接続をさらに確実にすることができる。

【0034】図6(A)から図8は、本発明の配線パターンの形成方法に係る工程である。

(第1工程) 図6(A)に示すように、導電層35、絶縁層33の表面に、触媒13を形成する。触媒13はパラジウムである。触媒13の形成方法として、例えば半導体チップ30をパラジウムとスズを含む混合溶液に浸し、その後、塩酸などの酸で処理することによってパラジウムのみを形成できる。

【0035】次に図6(B)は、触媒13上に、配線パターンとなる領域を除いた領域にフォトリソ12を形成する。なお、レジストはポジタイプでもネガタイプでも良いが、剥離現象のし易さから本実施例ではポジレジストを用いた。

【0036】この状態で、無電解メッキ液に浸漬することにより、触媒となるパラジウムを核として、メッキが成長し、配線パターン14が形成できる。図7はメッキが成長した状態を示しているが、領域20が表面に触媒となるパラジウムを露出しており、メッキが成長し得る領域であり、領域21は表面にレジスト12でカバーされているため、メッキが成長できない。本実施例において無電解メッキとして無電解ニッケルリンメッキを行った。無電解ニッケルリンメッキ液として、leybold社製無電解Ni-Pメッキ液SLOTONIPを用いた。本ニッケルメッキ液の添加剤成分として、メーカーが設定している安定剤添加量の使用範囲は1～3ml/Lであるが、本実施例においては0.5ml/Lとした。その他の建浴量はメーカー推奨条件に従った。浴温度は90℃において、5分浸漬し約1μm成膜した。

【0037】その後、カバーしていたレジスト12を剥離することにより、配線パターン14が形成された半導体装置を作成できた。図8にニッケルの配線パターンが

(5)

7

形成された半導体装置を示す。

【0038】（第4の実施の形態）第3の実施の形態において、図5（B）の工程ののち、図9に示すように配線パターンを形成する領域を避けた領域にフォトリソを形成する。

【0039】そののち、配線パターンを形成する領域とレジスト12上に図10に示すように、触媒13を形成する。

【0040】その後、レジスト12を剥離すると、配線パターンを形成する領域にのみ、触媒13が存在している。この状態を図11に示す。この状態で第3の実施の形態と同様の無電解ニッケルメッキを行うと、図8と全 \*

8

\*く同様の配線パターンが形成された半導体装置を作成できた。

【0041】（第5の実施の形態）

（比較例）第3の実施の形態において使用した、無電解ニッケルメッキの組成において、安定剤の量をメッキ液量に対し、0.5 ml/L、0.8 ml/L、1 ml/L、2 ml/L、3 ml/Lの各水準を作成し、比較した。なお、配線幅として10 μm、20 μm、30 μm、50 μm、100 μm（いずれも図示しない）の配線を評価に用いた。表1に結果を示した。

【表1】

安定剤量	配線の線幅				
	10 μm	20 μm	30 μm	50 μm	100 μm
0.5 ml/L	○	○	○	○	○
0.8 ml/L	○	○	○	○	○
1.0 ml/L	×	△	○	○	○
2.0 ml/L	×	×	△	○	○
3.0 ml/L	×	×	△	△	○

【0042】表に示すように、100 μmの線幅においては、いずれの水準でも、つきまわり良くメッキが形成できたが、50 μm以下に微細になるに連れて、安定剤の量とつきまわりの関係が、相関が認められることがわかった。線幅が10 μmでは、安定剤の量が1.0 ml/L以上では、いずれもつきまわりが極めて不良となるが、1.0 ml/L以下では、いずれもつきまわり良く形成できることがわかった。

【0043】以上より類推すると、安定剤の量と、配線へのつきまわりについては、相関が認められるのは明白であり、特に微細なパターンへの成膜においては、安定剤の量が1.0 ml/L以下でなければならないことが結論付けられる。なお、安定剤量の下限に付いては制限を持たないが、安定剤量を極端に低下させて行くと、メッキ液自体が極めて不安定になるため、0.1～1.0 ml/Lの範囲が望ましいと考えられる。

【0044】本発明によって製造された半導体装置にさらに複数の外部端子（図示しない）を配線パターン上に形成してもよい。例えば、前記半導体装置上にソルダレジストを塗布し、配線パターン上の特定の部分をフォトリソグラフィやレーザーにより配線パターン14を露出させる。その露出部分に、ハンダなどを印刷してリフロー工程を経て外部端子を形成してもよい。外部端子はハンダのほか銅などによって形成してもよい。また、積極的に外部端子を形成せずにマザーボード実装時にマザーボード側に塗布されるハンダクリームを利用し、その溶融時の表面張力で結果的に外部端子を形成してもよ

い。この半導体装置は、いわゆるランドグリッドアレイ型の半導体装置である。

【0045】なお、本発明を適用した半導体装置の製造方法において、複数の電極と、それぞれの電極の一部を露出した開口部が形成された絶縁層と、を有する半導体ウエハの絶縁層上で配線パターンを形成してもよい。すなわち、上述の全ての実施の形態を半導体ウエハ上において適用してもよい。この場合においても、今までに記載の内容と同様にして、全面薄膜形成工程（スパッタ）及びエッチング工程を用いずに再配線を形成することができる。

【0046】図12には、本実施の形態に係る半導体装置1を実装した回路基板100が示されている。回路基板100には例えばガラスエポキシ基板等の有機系基板を用いることが一般的である。回路基板100には例えば銅などからなる配線パターンが所望の回路となるように形成されていて、それらの配線パターンと半導体装置1の配線パターン14とを機械的に接続することでそれらの電気的導通を図る。

【0047】そして、本発明を適用した半導体装置1を有する電子機器として、図13にはノート型パーソナルコンピュータ、図14には携帯電話が示されている。

【図面の簡単な説明】

【図1】図1（A）及び図1（B）は、本発明を適用した第1の実施の形態に係る配線パターンの形成方法を示す図である。

【図2】図2は、本発明を適用した第1の実施の形態に

(6)

9

係る配線パターンの形成方法を示す図である。

【図3】図3 (A) 及び図3 (B) は、本発明を適用した第1の実施の形態に係る配線パターンの形成方法を示す図である。

【図4】図4 (A) 及び図4 (B) は、本発明を適用した第2の実施の形態に係る配線パターンの形成方法を示す図である。

【図5】図5 (A) 及び図5 (B) は、本発明を適用した第3の実施の形態に係る半導体装置の製造方法を示す図である。

【図6】図6は、本発明を適用した第3の実施の形態に係る半導体装置の製造方法を示す図である。

【図7】図7は、本発明を適用した第3の実施の形態に係る半導体装置の製造方法を示す図である。

【図8】図8は、本発明を適用した第3の実施の形態に係る半導体装置の製造方法を示す図である。

【図9】図9は、本発明を適用した第4の実施の形態に係る半導体装置の製造方法を示す図である。

【図10】図10は、本発明を適用した第4の実施の形態に係る半導体装置の製造方法を示す図である。

【図11】図11は、本発明を適用した第4の実施の形態に係る半導体装置の製造方法を示す図である。

10

【図12】図12は、本実施の形態に係る半導体装置が実装された回路基板を示す図である。

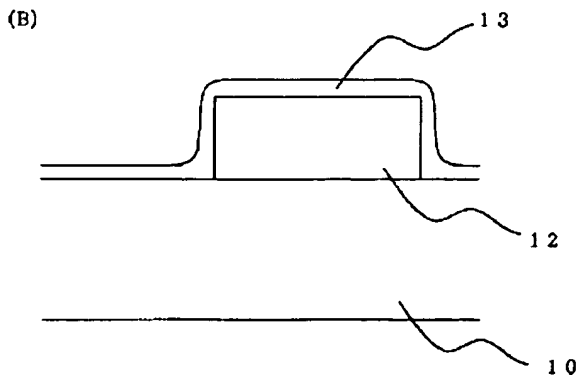
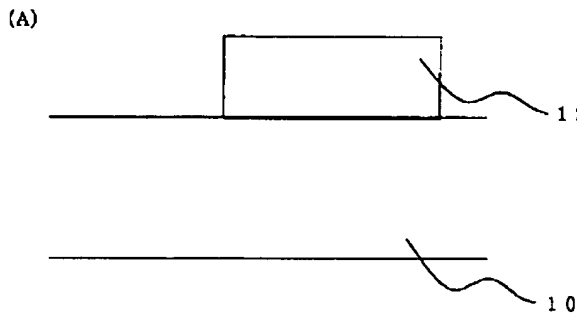
【図13】図13は、本実施の形態に係る半導体装置を有する電子機器を示す図である。

【図14】図14は、本実施の形態に係る半導体装置を有する電子機器を示す図である。

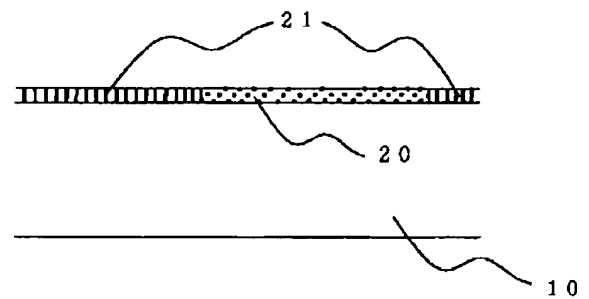
【符号の説明】

- 10 基板
- 12 レジスト
- 10 13 触媒
- 14 配線パターン
- 20 配線パターン非形成領域
- 21 配線パターン形成領域
- 30 半導体チップ
- 31 パッシベーション
- 32 電極
- 33 絶縁層
- 34 導電層
- 35 導電層
- 20 100 回路基板
- 200 ノート型パーソナルコンピュータ
- 300 携帯電話

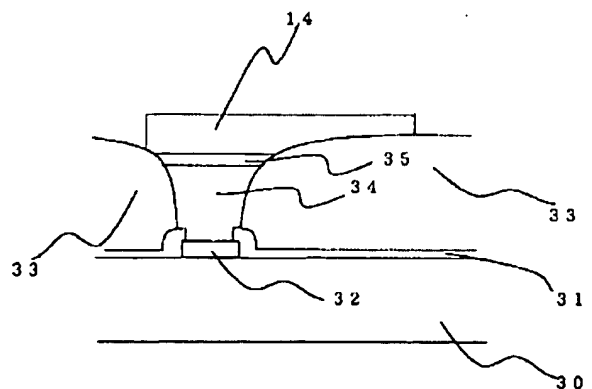
【図1】



【図2】



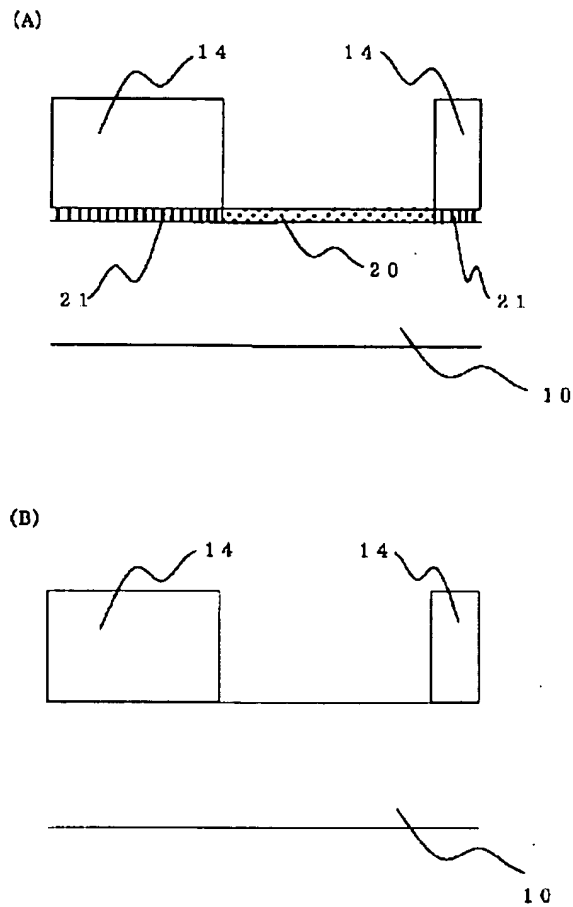
【図8】



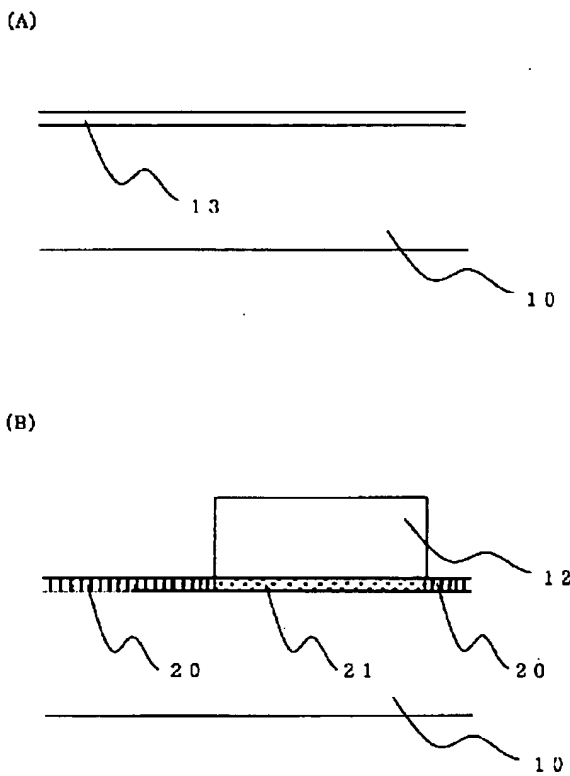


(7)

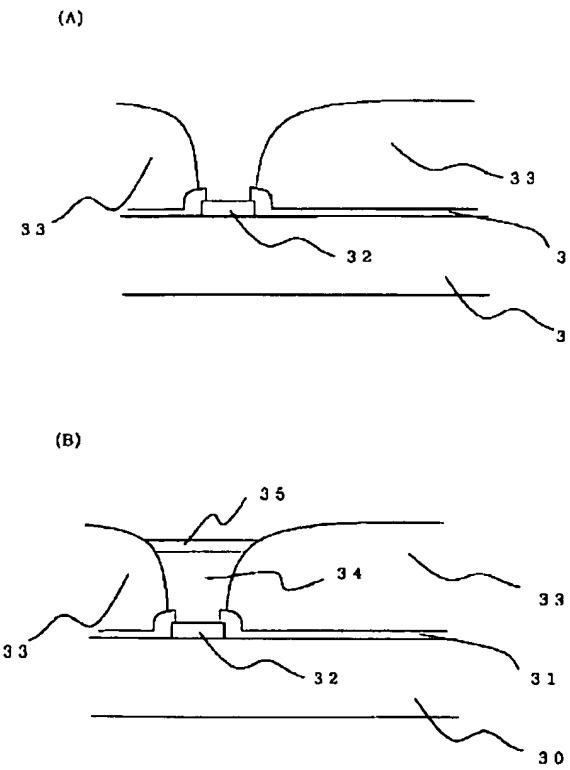
【図3】



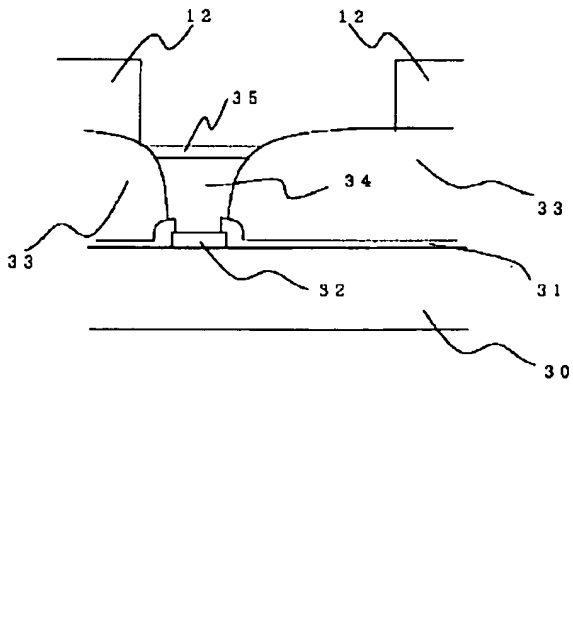
【図4】



【図5】

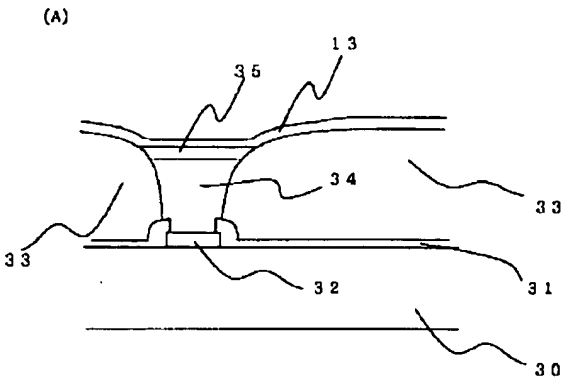


【図9】

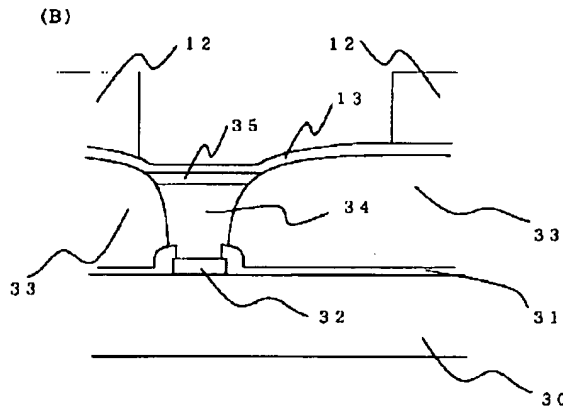
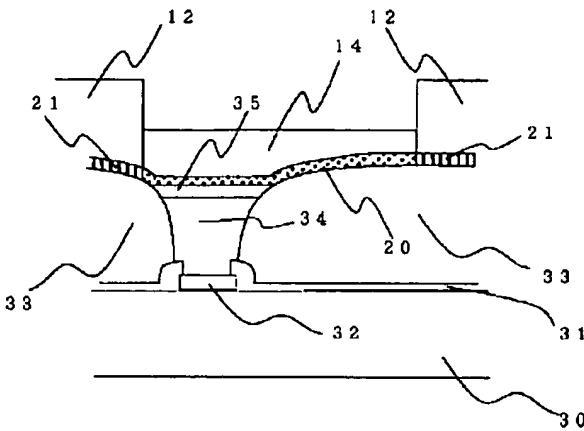


(8)

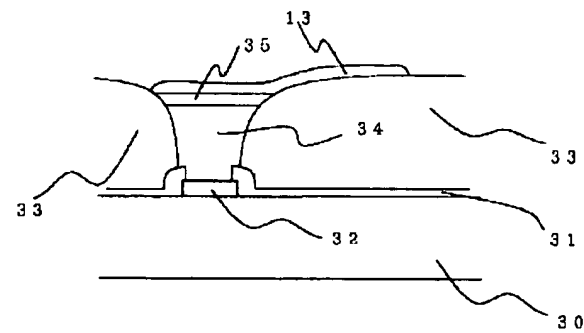
【図6】



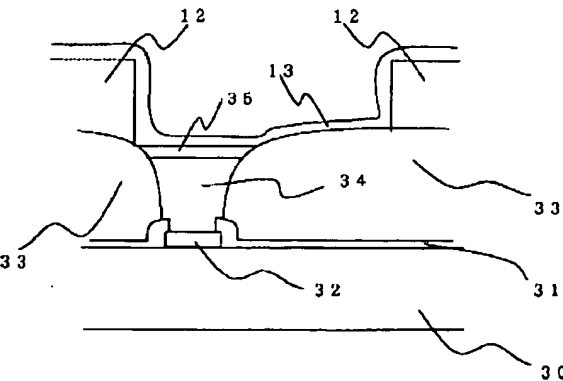
【図7】



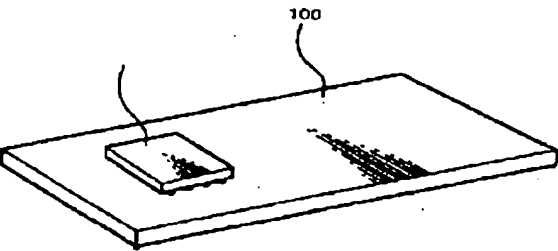
【図11】



【図10】

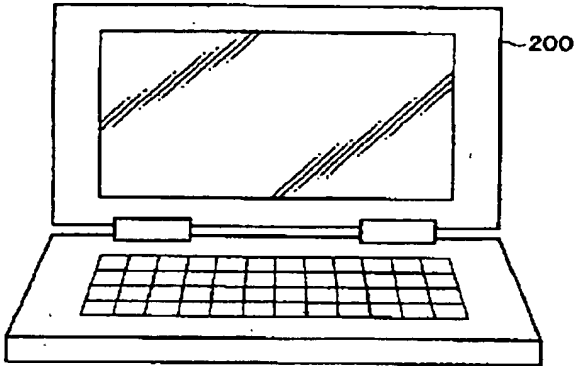


【図12】

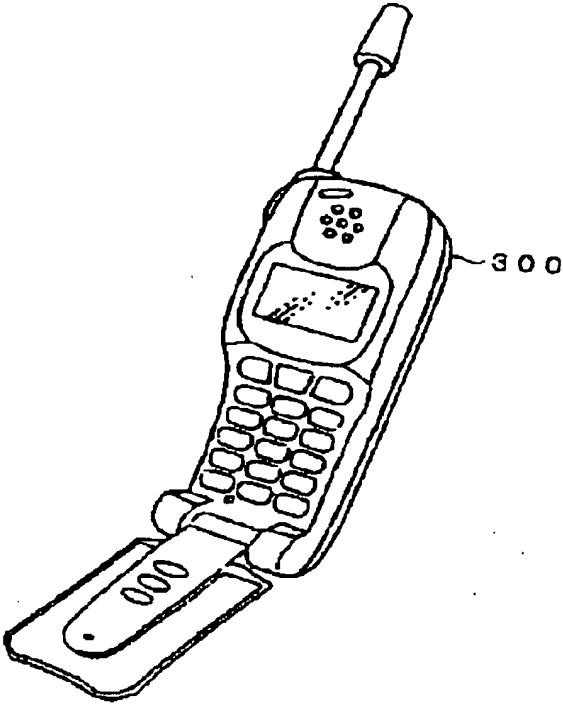


(9)

【図13】



【図14】



フロントページの続き

(51)Int. Cl. 7	識別記号	F I	テーマコード (参考)
H 0 5 K 3/18		H 0 1 L 21/92	6 0 2 J

F ターム (参考) 4K022 AA25 AA41 AA42 BA14 BA35  
CA06 DA01  
4M104 BB05 DD53  
5E343 AA02 AA11 BB44 BB61 BB71  
CC78 DD34 ER05 GG08  
5F033 HH07 HH08 HH13 PP28 RR04  
RR06 RR22 VV07 XX03 XX33

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**